

DIALOG(R)File 345:Inpadoc/Fam.& Legal Stat

(c) 2002 EPO. All rts. reserv.

16113507

Basic Patent (No,Kind,Date): JP 2000138572 A2 20000516 <No. of Patents: 002>

CONSTANT-CURRENT DRIVING CIRCUIT (English)

Patent Assignee: NIPPON ELECTRIC CO

Author (Inventor): NISHITOBA SHIGEO

IPC: *H03K-017/687; G09G-003/30

Derwent WPI Acc No: *G 00-395975; G 00-395975

Language of Document: Japanese

Patent Family:

Patent No	Kind	Date	Applic No	Kind	Date	
JP 2000138572	A2	20000516	JP 98310848	A	19981030	(BASIC)
JP 3137095	B2	20010219	JP 98310848	A	19981030	

Priority Data (No,Kind,Date):

JP 98310848 A 19981030

DIALOG(R)File 347:JAPIO

(c) 2002 JPO & JAPIO. All rts. reserv.

06552843 **Image available**

CONSTANT-CURRENT DRIVING CIRCUIT

PUB. NO.: 2000-138572 [JP 2000138572 A]

PUBLISHED: May 16, 2000 (20000516)

INVENTOR(s): NISHITOBA SHIGEO

APPLICANT(s): NEC CORP

APPL. NO.: 10-310848 [JP 98310848]

FILED: October 30, 1998 (19981030)

INTL CLASS: H03K-017/687; G09G-003/30

ABSTRACT

PROBLEM TO BE SOLVED: To enable a constant-current driving circuit, which drives a load to be subjected to current/voltage conversion and a capacitor connected in parallel with the load by a constant current, to shorten the rising time of the current flowing to the load.

SOLUTION: A capacitor 15 is charged at the time constant determined by a constant-current value from a transistor 8 and the capacitance of the capacitor 15 until its potential reaches a specified voltage which is obtained by converting the constant current of the transistor 8 into a voltage through a load 14. In this case, the reference voltage at the reference voltage terminal 10 of a reference voltage source 9 is set at a value which is smaller than the sum of the specified voltage and the gate-source voltage of a transistor 13. Since a switch 12 is set in continuity synchronously with a control terminal 2 similarly to a switch 11, the capacitor 15 connected in parallel with the load 14 is quickly charged to the voltage through the transistor 13. When the capacitor 15 reaches the voltage, the transistor 13 is disconnected, thereafter, the capacitor 15 is charged to a specified voltage with the constant current of the transistor 8.

COPYRIGHT: (C)2000,JPO

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2000-138572

(P2000-138572A)

(43)公開日 平成12年5月16日(2000.5.16)

(51)Int.Cl.⁷

図別記号

F I

テマート*(参考)

H 0 3 K 17/687

H 0 3 K 17/687

A 5 C 0 8 0

G 0 9 G 3/30

G 0 9 G 3/30

J 5 J 0 5 5

審査請求 有 請求項の数9 O L (全 9 頁)

(21)出願番号 特願平10-310848

(22)出願日 平成10年10月30日(1998.10.30)

(71)出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72)発明者 西島羽 茂夫

東京都港区芝五丁目7番1号 日本電気株式会社内

(74)代理人 100100893

弁理士 渡辺 勝 (外3名)

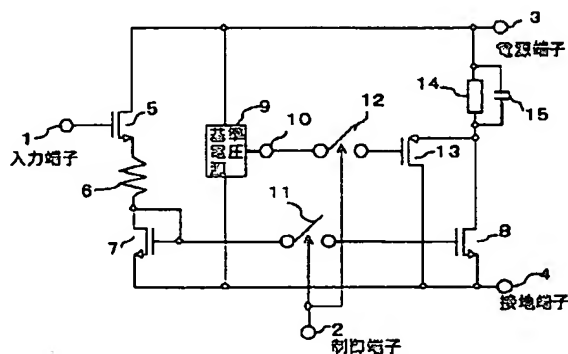
最終頁に続く

(54)【発明の名称】 定電流駆動回路

(57)【要約】

【課題】 電流/電圧変換する負荷と、この負荷と並列に接続された容量を定電流で駆動する定電流駆動回路において、負荷を流れる電流の立ち上がり時間を速くする。

【解決手段】 トランジスタ8からの定電流値と、容量15の容量値とで決まる時定数で、容量15は充電を行い、最終的に、トランジスタ8の定電流値を負荷14が電圧変換した規定の電圧値まで充電を行う。ここで、基準電圧源9の基準電圧端子10の基準電圧が、負荷14が電圧変換した規定の電圧値とトランジスタ13のゲート・ソース間電圧との和より小さく設定されている。スイッチ12はスイッチ11と同様に制御端子2に同期して導通状態になっているので、負荷14に並列に接続された容量15は、トランジスタ13を介して、上記設定値まで急速に充電される。上記設定値に達すると、トランジスタ13は遮断するが、その後は、トランジスタ8の定電流が容量を規定の電圧値まで充電する。



【特許請求の範囲】

【請求項1】 電流／電圧変換を行う負荷を定電流駆動する定電流駆動回路であって、
高電位電源と低電位電源との間で前記負荷と直列に接続された定電流駆動用の第1導電型の第1のFETトランジスタと、
前記負荷と並列に接続された容量と、
第1のスイッチング素子と、
第1のスイッチング素子を介して第1のFETトランジスタとゲート同志が接続され、ゲートとドレインが接続され、第1のFETトランジスタとカレントミラー回路を構成する第1導電型の第2のFETトランジスタと、
高電位電源と低電位電源との間で第2のFETトランジスタに直列に接続され、ゲートに入力信号が印加される第3のFETトランジスタと、
第2のFETトランジスタと第3のFETトランジスタの間に接続された抵抗と、
第1のFETトランジスタと並列に接続された、第1の導電型と反対導電型の第2の導電型の第4のFETトランジスタと、
高電位電源と低電位電源の間に接続された基準電圧源と、
第4のFETトランジスタのゲートと前記基準電圧源の基準電圧端子の間に設けられ、第1のスイッチング素子と同期して導通／遮断する第2のスイッチング素子とを有し、
前記基準電圧源の基準電圧端子の基準電圧が前記負荷が電流／電圧変換した規定の電圧値と、第4のFETトランジスタのゲートと前記負荷側の電極間の電圧との和よりも小さく設定されている定電流駆動回路。

【請求項2】 前記高電位電源と前記低電位電源の間に前記基準電圧源と直列に接続され、ゲートが第2のFETトランジスタのゲートと、第1スイッチング素子を介して第1のFETトランジスタのゲートに接続されている第1導電型の第5のFETトランジスタをさらに有する、請求項1記載の定電流駆動回路。

【請求項3】 前記基準電圧源が、ドレインとゲートが互いに接続されたトランジスタと該トランジスタに直列に接続された抵抗からなり、該トランジスタと該抵抗の接続点を基準電圧端子とする、請求項1または2記載の定電流駆動回路。

【請求項4】 前記基準電圧源が、ドレインとゲートが互いに接続されたトランジスタと、該トランジスタと直列に接続された第1の抵抗と、該トランジスタのソースとドレイン間に互いに直列に接続された第2、第3の抵抗からなり、第2と第3の抵抗の接続点を基準電圧源端子とする、請求項1または2記載の定電流駆動回路。

【請求項5】 電流／電圧変換を行う負荷を定電流駆動する定電流駆動回路であって、
高電位電源と低電位電源との間で前記負荷と直列に接続

された定電流駆動用の第1導電型の第1のバイポーラトランジスタと、

前記負荷と並列に接続された容量と、

第1のスイッチング素子と、

第1のスイッチング素子を介して第1のバイポーラトランジスタとベース同志が接続され、ベースとコレクタが接続され、第1のバイポーラトランジスタとカレントミラー回路を構成する第1導電型の第2のバイポーラトランジスタと、

高電位電源と低電位電源との間で第2のバイポーラトランジスタに直列に接続され、ベースに入力信号が印加される第3のバイポーラトランジスタと、

第2のバイポーラトランジスタと第3のバイポーラトランジスタの間に接続された抵抗と、

第1のバイポーラトランジスタと並列に接続された、第1の導電型と反対導電型の第2の導電型の第4のバイポーラトランジスタと、

高電位電源と低電位電源の間に接続された基準電圧源と、

第4のバイポーラトランジスタのベースと前記基準電圧源の基準電圧端子の間に設けられ、第1のスイッチング素子と同期して導通／遮断する第2のスイッチング素子とを有し、

前記基準電圧源の基準電圧端子の基準電圧が前記負荷が電流／電圧変換した規定の電圧値と、第4のバイポーラトランジスタのベースと前記負荷側の電極間の電圧との和よりも小さく設定されている定電流駆動回路。

【請求項6】 前記高電位電源と前記低電位電源の間に前記基準電圧源と直列に接続され、ベースが第2のバイポーラトランジスタのベースと、第1スイッチング素子を介して第1のバイポーラトランジスタのベースに接続されている第1導電型の第5のバイポーラトランジスタをさらに有する、請求項5記載の定電流駆動回路。

【請求項7】 前記基準電圧源が、コレクタとベースが互いに接続されたバイポーラトランジスタと該トランジスタに直列に接続された抵抗からなり、該トランジスタと該抵抗の接続点を基準電圧端子とする、請求項5または6記載の定電流駆動回路。

【請求項8】 前記基準電圧源が、コレクタとベースが互いに接続されたバイポーラトランジスタと、該トランジスタと直列に接続された第1の抵抗と、該トランジスタのエミッタとコレクタ間に互いに直列に接続された第2、第3の抵抗からなり、第2と第3の抵抗の接続点を基準電圧源端子とする、請求項5または6記載の定電流駆動回路。

【請求項9】 前記負荷が有機薄膜EL素子である、請求項1から8のいずれかに記載の定電流駆動回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、ダイオードや有機

薄膜E L素子のように電流／電圧変換する負荷と、この負荷と並列に接続された容量とを定電流で駆動する定電流駆動回路に関する。

【0002】

【従来の技術】定電流駆動を必要とする負荷の代表的な例として有機薄膜E L素子がある。有機薄膜E L素子は開発からまだ日が浅く、輝度向上等で材料の選択に研究課題があるものの、直流電流で駆動可能なこと、高輝度を高効率で実現でき、さらに、応答性・低温等の温度特性が良好なことから、様々な分野で早期の量産化が望まれている。

【0003】図14は有機薄膜E L素子の断面構造を示したものである。有機薄膜E L素子はガラス基板44の上に陽極電極となりITO透明電極43と陰極電極41との間に絶縁性の有機層42を挟んだ構造を有し、電流／電圧変換を行うダイオード特性を示すだけでなく、絶縁性の有機層22の影響により陽極電極となりITO透明電極23と陰極電極21との間に構造的に寄生容量が接続された構造を有する。こうした特性を有する有機薄膜E L素子を単純マトリクス構造のディスプレイパネルに適用することが考えられる。

【0004】図13は、有機薄膜E L素子を負荷とした定電流駆動回路の従来例を示している。負荷14は有機薄膜E L素子であり、負荷14と並列に接続された容量15は前述した有機薄膜E L素子が構造的に有する寄生容量である。負荷14と容量15の接続点の一端は電源端子3に接続され、他端は定電流駆動用トランジスタ8のドレインに接続されている。トランジスタ8のソースは接地端子4に接続されているトランジスタ8のゲートはスイッチ11を介してトランジスタ8と同一導電型

(図の例では、Nチャネルトランジスタ)のトランジスタ7のゲートとドレインに接続されている。トランジスタ7のソースは接地端子4に接続されている。トランジスタ7および8はスイッチ11を介してカレントミラー回路を構成する。トランジスタ7のゲートおよびドレインは、抵抗6を介してソースフォロウ用トランジスタ5のソースに接続されている。ここで、抵抗6の両端に発生する電圧は、トランジスタ7と8で構成するカレントミラー回路の電流値を決定する。ソースフォロウ用トランジスタ5のドレインは電源端子3に接続されている。また、ソースフォロウ用トランジスタ5のゲートは入力端子1となっている。

【0005】図13の定電流駆動回路の動作について図を参照して説明する。入力端子1に信号電圧が発生すると、信号電圧はトランジスタ5および7のゲート・ソース間電圧と抵抗6によって電流に変換され、トランジスタ7のドレイン電流となる。トランジスタ7と8は、スイッチ11を介して、カレントミラー回路を構成しているため、トランジスタ8のドレインにはトランジスタ7のドレイン電流に比例したドレイン電流が流れる。この

比例値を、トランジスタ7と8のバターンサイズの比で決定される。例えば、トランジスタ7と8が同一バターンサイズであれば、トランジスタ7および8のドレイン電流は等しくなる。制御端子2に信号が印加され、スイッチ11が導通状態になると、負荷14および負荷14と並列接続された容量15をトランジスタ8は定電流駆動する。ここで、規定の電流を流したときの負荷14の電圧値を V_F 、トランジスタ8のドレイン電流を I_g 、容量15の容量値を C_{15} とし、容量15の充電電圧が V_F に達するまでの時間を T_1 とすると、 T_1 は下記のように表わされる。

【0006】

$$T_1 = C_{15} \cdot V_F / I_g \quad (1)$$

【0007】

【発明が解決しようとする課題】したがって、図13に示す従来例では、以下の問題点があった。すなわち、入力端子1に信号電圧が発生し、かつ、制御端子2に制御信号が印加され、負荷14に定電流を供給する際、負荷14に並列に接続された容量15により、(1)式に示すように定電流の立ち上がり時間が遅れる。図13の定電流駆動回路を単純マトリクス構造のディスプレイパネルに適用した場合、選択した画素の発光応答時間が遅くなる。その結果、ディスプレイの表示上の残像が目立ち、かつ、輝度の階調もとれなくなり表示品質を落す。

【0008】本発明の目的は、負荷を流れる定電流の立ち上がり時間が早い定電流駆動回路を提供することにある。

【0009】

【課題を解決するための手段】本発明の定電流駆動回路は、高電位電源と低電位電源との間で前記負荷と直列に接続された定電流駆動用の第1導電型の第1のFETトランジスタと、前記負荷と並列に接続された容量と、第1のスイッチング素子と、第1のスイッチング素子を介して第1のFETトランジスタとゲート同志が接続され、ゲートとドレインが接続され、第1のFETトランジスタとカレントミラー回路を構成する第1導電型の第2のFETトランジスタと、高電位電源と低電位電源との間で第2のFETトランジスタに直列に接続され、ゲートに入力信号が印加される第3のFETトランジスタと、第2のFETトランジスタと第3のFETトランジスタの間に接続された抵抗と、第1のFETトランジスタと並列に接続された、第1の導電型と反対導電型の第2の導電型の第4のFETトランジスタと、高電位電源と低電位電源の間に接続された基準電圧源と、第4のFETトランジスタのゲートと前記基準電圧源の基準電圧端子の間に設けられ、第1のスイッチング素子と同期して導通／遮断する第2のスイッチング素子とを有し、前記基準電圧源の基準電圧端子の基準電圧が前記負荷が電流／電圧変換した規定の電圧値と、第4のFETトランジスタのゲートと前記負荷側の電極間の電圧との和より

も小さく設定されている。

【0010】入力信号がローレベルからハイレベルに、かつ両スイッチング素子が共に導通状態になったとする。抵抗は、入力信号の信号電圧を電流に変換し、第2のFETトランジスタにドレイン電流を供給する。第2および第3のFETトランジスタは、第1のスイッチング素子を介してカレントミラー回路を構成しているもので、第1のFETトランジスタのドレインには第2のFETトランジスタのドレイン電流に比例した電流が流れ、この電流が負荷および負荷と並列に接続された容量を定電流で駆動する。第1のFETトランジスタからの定電流値と容量の容量値とで決まる時定数で、容量は充電を行い、最終的に、第1のFETトランジスタの定電流値を負荷が電圧変換した規定の電圧値まで充電を行う。ここで、基準電圧源の基準電圧端子の基準電圧を、負荷が電流/電圧変換した規定の電圧値と第4のFETトランジスタのゲート・負荷側の電極間電圧との和よりも小さく設定され、かつ第2のスイッチング素子は第1のスイッチング素子と同様に制御信号に同期して導通状態になっているので、負荷に並列に接続された容量は、第4のFETトランジスタを介して、上記設定値まで急速に充電される。上記設定値に達すると、第4のFETトランジスタは遮断するが、その後は、第1のFETトランジスタの定電流が容量を規定の電圧値まで充電する。

【0011】このように第4のFETトランジスタと第2のスイッチング素子と基準電圧源とを備えたことにより、負荷を流れる電流の立ち上がり時間が速くなる。

【0012】なお、FETトランジスタの代わりにバイポーラトランジスタを用いて同様の効果が得られる。

【0013】

【発明の実施の形態】次に、本発明の実施の形態について図面を参照して説明する。

【0014】図1を参照すると、本発明の一実施形態の定電流回路は、入力端子1と、制御端子2と、電源端子3と、接地端子4と、Pチャネルトランジスタ5と、抵抗6と、Pチャネルトランジスタ7、8と、基準電圧源9と、基準電圧端子10と、スイッチ11、12と、Nチャネルトランジスタ13と、ダイオードや有機薄膜EL素子のように定電流駆動を必要とし、さらに、その電流に応じて電圧変換を行う負荷14と、その負荷14に並列に接続された容量15を有している。負荷14と容量15の一端は電源端子3に、他端は定電流駆動用トランジスタ8のドレインに接続されている。トランジスタ8のソースは接地端子4に接続され、ゲートはスイッチ11を介してトランジスタ8と同一導伝形式(図1の例では、Nチャネルトランジスタ)のトランジスタ7のゲートとドレインに接続されている。トランジスタ7のソースは接地端子4に接続されている。トランジスタ7と8はスイッチ11を介してカレントミラー回路を構成し

ている。トランジスタ7のゲートおよびドレインは、抵抗6を介してソースフォロウ用トランジスタ5のソースに接続されている。ここで、抵抗6の両端に発生する電圧は、トランジスタ7および8で構成するカレントミラー回路の電流値を決定する。ソースフォロウ用トランジスタ5のドレインは電源端子3に接続されている。さらに、ソースフォロウ用トランジスタ5のゲートは入力端子1となっている。

【0015】負荷14と、負荷14と並列に接続された容量15と、トランジスタ8のドレインとの接続点に、Pチャネルトランジスタ13のソースが接続されている。トランジスタ13のソースは接地端子4に、ゲートはスイッチ12を介して基準電圧源9の基準電圧端子10に接続されている。基準電圧源9の一端は電源端子3に、他端は接地端子4に接続されている。スイッチ12は制御端子2に印加される制御信号によって制御され、スイッチ11と同位相で同期して動作する。

【0016】図1の定電流駆動回路の動作について、図を参照して説明する。

【0017】入力端子1に信号電圧が印加されると、信号電圧はトランジスタ5および7のゲート・ソース間電圧と抵抗6によって電流に変換され、トランジスタ7のドレイン電流となる。トランジスタ7と8はスイッチ11を介してカレントミラー回路を構成しているため、トランジスタ8のドレインにはトランジスタ7のドレイン電流に比例した電流が流れる。この電流の大きさは、トランジスタ7および8のバターンサイズの比で決定され、例えば、トランジスタ7および8が同一バターンサイズであれば、トランジスタ7および8のドレイン電流は等しくなる。制御端子2に制御信号が入力しスイッチ11が導通状態となると、負荷14および負荷14と並列接続された容量15をトランジスタ8は定電流駆動する。ここで、規定の電流を流したときの負荷14の電圧値を V_F 、基準電圧源9の基準電圧端子10と電源端子3との電圧差を V_{REF} (以下、基準電圧とする)とし、負荷14の電圧 V_F に対し ΔV_F だけ小さい値でトランジスタ13が導通するように、基準電圧 V_{REF} を設定する。すなわち、基準電圧 V_{REF} を下記のように設定する。

【0018】

$$V_{REF} = V_F - \Delta V_F + V_{GS13} \quad (2)$$

【0019】ただし、トランジスタ13のゲート・ソース間の電圧を V_{GS13} とする。

【0020】入力端子1の信号電圧と制御端子2の電圧が、図2に示すような関係にある場合、すなわち、入力端子1の信号電圧がハイレベルの期間において、制御端子2に制御信号が入力してスイッチ11および12が導通状態になり、負荷14に定電流を供給する。このとき、制御端子2に制御信号が入力すると、スイッチ12は導通状態であるため、負荷14と並列に接続された容

量15の電圧値が $V_F - \Delta V_F$ に達するまで、トランジスタ13は容量15を充電する。基準電圧源9の基準電圧 V_{REF} が式(2)で定まる値に設定されているため、負荷14と並列に接続された容量15が上記値に達した後は、トランジスタ13は遮断し、容量15はカレントミラー回路を構成するトランジスタ8のドレイン電流のみで充電され、最終的に充電電圧が V_F に達すると、負荷14は入力端子1に信号電圧が発生している間、カレントミラー回路を介して定電流を供給される。

【0021】図1の定電流駆動回路において、トランジスタ8のドレイン電流を I_8 、容量15の容量値を C_{15} とする。トランジスタ13は、トランジスタ8のドレイン電流に比して充分電流を供給できるようにしておくと、トランジスタ13が導通して容量15が $V_F - \Delta V_F$ の電圧になるまでの時間は無視できるほど小さい。したがって、容量15が $V_F - \Delta V_F$ から V_F に達するまでの時間 T_2 は、トランジスタ8の定電流のみで充電されるので、下記のように表わされる。

【0022】

$$T_2 = C_{15} \cdot \Delta V_F / I_8 \quad (3)$$

【0023】一方、トランジスタ13による充電を行わず、カレントミラー回路を流れる電流のみで容量15の充電を行った場合、容量15の充電電圧が V_F に達するまでの時間を T_1 とすると、 T_1 は下記ようになる。

【0024】

$$T_1 = C_{15} \cdot V_F / I_8 \quad (4)$$

【0025】したがって、トランジスタ13および基準電圧源9とスイッチ12を備えることにより、負荷14を流れる電流の立ち上がり時間は、式(2)および式(3)から下記に示すように、 ΔT だけ短縮される。

【0026】

$$\Delta T = C_{15} \cdot (V_F - \Delta V_F) / I_8 \quad (5)$$

【0027】上記のように、負荷と並列に容量が接続された場合、立ち上がり時間を式(5)に示すように改善できる。したがって、例えば、本発明を有機薄膜EL素子の駆動回路として適用すると、有機薄膜EL素子はその構造に起因して必ず寄生容量が有機薄膜EL素子と並列に接続されるため、定電流駆動のみの場合と比べ、立ち上がり速度が速くなり、発光応答速度が改善される。

【0028】図3は図1に示した回路の具体的回路図である。本具体例では、ドレインとゲートが互いに接続されたNチャネルトランジスタ 9_1 とそのトランジスタ 9_1 のバイアス電流を決定する抵抗 9_2 とで基準電圧源9が構成される。スイッチ11および12はPチャネルトランジスタで構成される。したがって、この場合は、制御端子2にローレベルの制御信号が入力した場合、スイッチトランジスタ11および12は導通状態となる。なお、図3では基準電圧源9がトランジスタ一個のみの例を示しているが、負荷14の電流/電圧変換値 V_F によっては、トランジスタを複数個接続しても構わないし、

さらに、PチャネルトランジスタとNチャネルトランジスタとを組み合わせる基準電圧 V_{REF} の設定を行ってもよい。

【0029】図4は、図1の回路の他の具体的回路図である。図3の例では、トランジスタ 9_1 とバイアス電流設定用抵抗 9_2 だけでは、基準電圧 V_{REF} の設定が困難な場合がある。したがって、互いに直列接続された抵抗 9_3 および 9_4 を、図3の具体例で示した基準電圧源9を構成するトランジスタ 9_1 に並列に接続し、抵抗 9_3 と 9_4 との交点を基準電圧端子9とする。抵抗 9_3 と 9_4 の比を適当に変えて、基準電圧 V_{REF} の設定を行う。

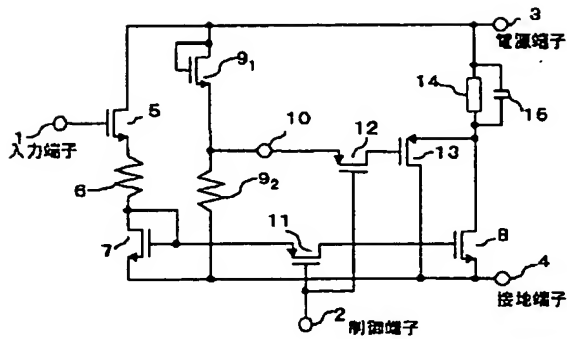
【0030】図5は、本発明の他の実施形態の回路図である。図1の実施形態では、入力端子1の信号電圧がハイレベルの期間において、制御端子2に制御信号が入力する場合であった。図1の実施形態の場合、入力信号がローレベルで、制御端子2に信号が入力し、スイッチ11および12が導通状態の場合は、容量15はトランジスタ13によって、常に $V_F - \Delta V_F$ の電圧値まで充電される。図5の実施形態は、上記現象を防止するためなされたもので、図6に示すように制御端子2が制御信号を入力し、スイッチ11および12が導通状態の期間に、入力端子1に信号が入力し、その期間のみ負荷14を定電流駆動する場合である。図5において、ゲートがトランジスタ7および8のゲートに、ソースが接地端子4に、ドレインが基準電圧源9の一端にそれぞれ接続されたトランジスタ7および8と同一導伝形式のトランジスタ16を設けられている。トランジスタ16はトランジスタ7および8と共にカレントミラー回路を構成し、基準電圧源9にバイアス電流を供給すると共に、入力端子1に信号が入力しハイレベルのときのみ導通する。したがって、基準電圧源9も同様に、上記の期間のみ導通状態となり、この時点から負荷14および容量15の電圧値が $V_F - \Delta V_F$ になるまで、トランジスタ13を介して電流を駆動する。

【0031】図7は、図5の回路の具体的回路図であり、ゲートとドレインが接続されたトランジスタ 9_1 で基準電圧源9を構成し、トランジスタ 9_1 のバイアス電流はトランジスタ16で行う。また、図3の具体例と同様、スイッチ11および12はPチャネルトランジスタで構成される。さらに、図3の具体例と同様に、図7の具体例はトランジスタ一個(9_1)のみの例を示しているが、負荷14の電流/電圧変換値によっては、トランジスタを複数個接続しても構わないし、さらに、PチャネルトランジスタとNチャネルトランジスタとを組み合わせる基準電圧 V_{REF} の設定を行ってもよい。

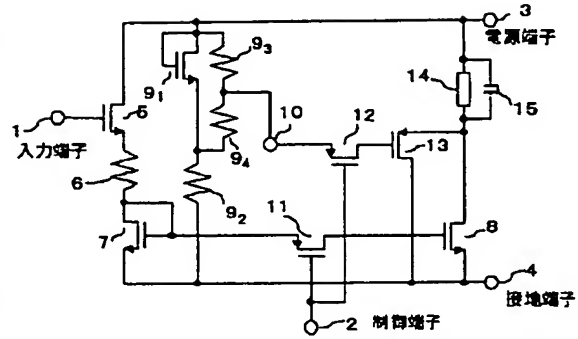
【0032】図8は、図5の回路の他の具体的実施例である。互いに直列接続された抵抗 9_3 および 9_4 を、図7の具体例で示した基準電圧源9を構成するトランジスタ 9_1 に並列接続し、抵抗 9_3 と 9_4 との交点を基準電圧端子9とする。抵抗 9_3 と 9_4 の比を適当に変えて、

16, 36 トランジスタ

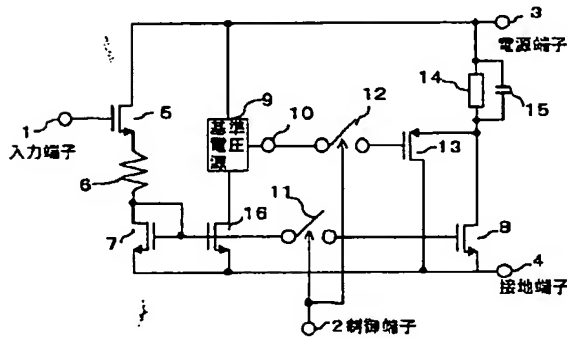
【図3】



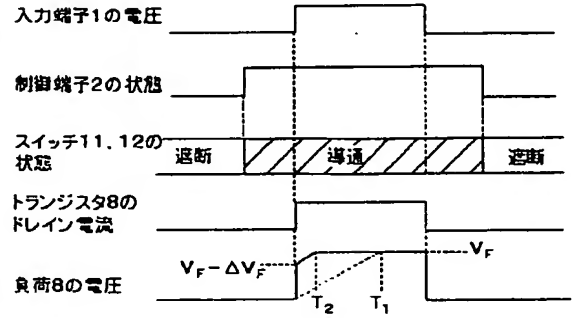
【図4】



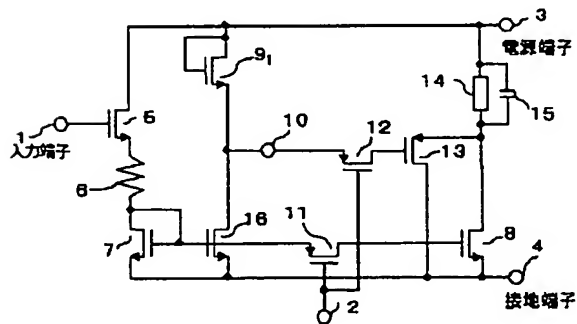
【図5】



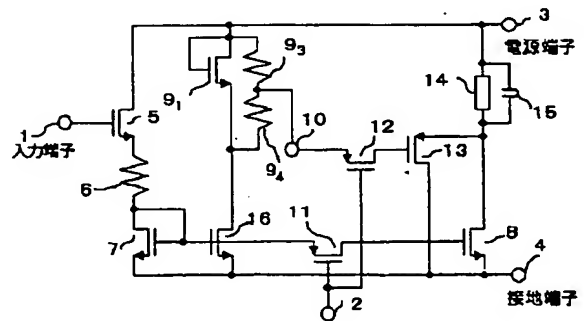
【図6】



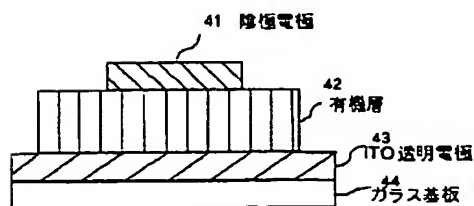
【図7】



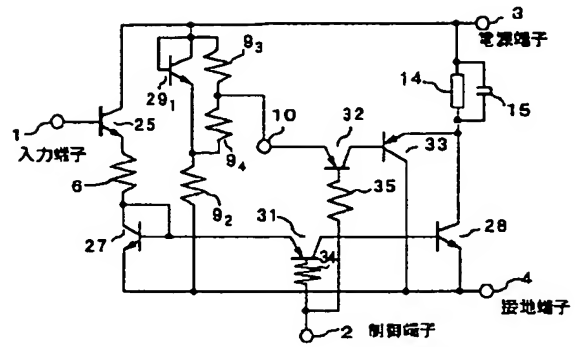
【図8】



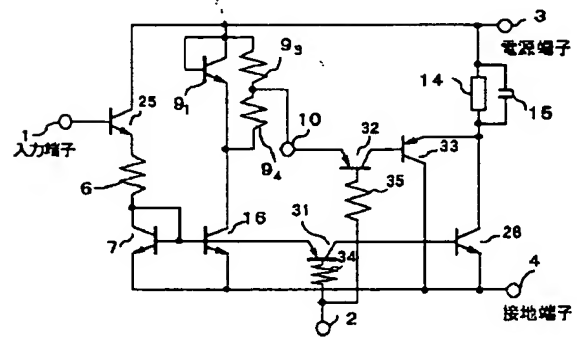
【図14】



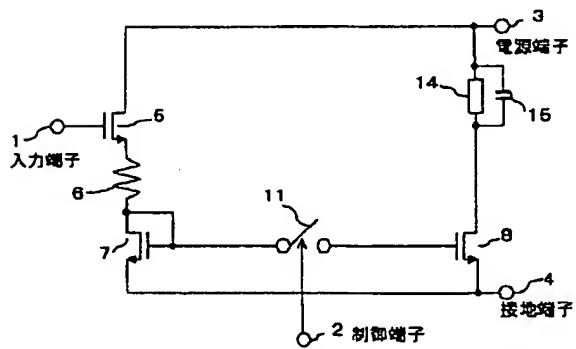
【図 10】



【圖 12】



【圖 13】



フロントページの続き

Fターム(参考) 5C080 AA06 BB05 DD08 JJ02 JJ03
JJ04 JJ06
5J055 AX02 AX55 AX65 BX16 CX29
DX03 DX12 DX73 DX83 EX06
EX07 EY01 EY10 EY17 EY21
EZ00 EZ03 FX12 FX17 FX35
FX36 GX01 GX07